

KOREAN PATENT ABSTRACTS

(11)Publication number: B1  
(43)Date of publication of application:

(21)Application number: 1019970063649

(22)Date of filing: 28.11.1997

(71)Applicant:

(72)Inventor:

SHIN, UI YONG

(51)Int. Cl.

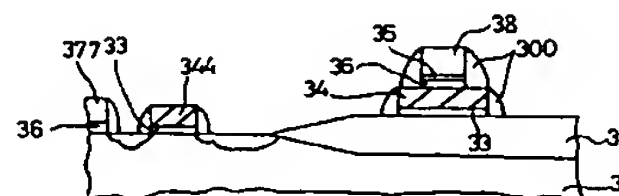
H01L 21/334

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device is provided to form a double polysilicon layer and a dual gate oxide layer in a single process and to fabricate devices having different operating voltages in the same chip by a single process.

CONSTITUTION: The first insulating layer(33) is formed on a semiconductor substrate(31) of the first conductivity type having a field oxide layer. The first conductive layer of the second conductivity type is formed on the first insulating layer. The second insulating layer(35) is formed on the first conductive layer. A predetermined portion of the second insulating layer, the first conductive layer and the first insulating layer is eliminated to form the first gate(344) and the first storage electrode protected by the first insulating layer and the second insulating layer while the field oxide layer and the surface of the substrate are exposed. The third insulating layer(36) is formed on the entire surface of the semiconductor substrate. The second conductive layer of the second conductivity type is formed on the third insulating layer. A part of the second conductive layer and the third insulating layer is eliminated to expose the first gate, the upper portion of the first storage electrode, the field oxide layer and the surface of the semiconductor substrate. Simultaneously, the second storage electrode is formed on the second and third insulating layers remaining on the first storage electrode, and the second gate(377) is formed in a predetermined portion of the third insulating layer.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (19991020)

Patent registration number (1002400960000)

Date of registration (19991025)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 21/334

(11) 공개번호 특 1999-0042744  
(43) 공개일자 1999년 06월 15일

(21) 출원번호	10-1997-0063649
(22) 출원일자	1997년 11월 28일
(71) 출원인	엘지반도체 주식회사 구본준 충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자	신의용
(74) 대리인	충청북도 청주시 흥덕구 봉명2동 엘지사원아파트 가동 904호 양순석, 한윤근

심사청구 : 있음

(54) 반도체장치의 소자 제조방법

요약

본 발명은 반도체장치의 제조방법에 관한 것으로서, 특히, 이중폴리실리콘층(double poly)과 듀얼 게이트 산화막을 단일공정에서 형성하도록 하고 또한 동일한 칩 내에 구동 전압이 서로 다른 소자를 단일공정으로 형성할 수 있는 반도체장치의 제조방법을 제공한다.

이를 위하여, 본 발명에 따른 반도체장치의 소자형성방법은, 필드산화막이 형성된 제 1 도전형 반도체기판 위에 제 1 절연막을 형성하는 단계와, 제 1 절연막 제 2 도전형 제 1 도전층을 형성하는 단계와, 제 1 도전층 위에 제 2 절연막을 형성하는 단계와, 제 2 절연막과 제 1 도전층 그리고 제 1 절연막의 소정부위를 제거하여 잔류한 제 1 절연막과 제 2 절연막으로 보호되는 제 1 게이트와 제 1 스토리지전극을 형성하고 동시에 필드산화막과 기판의 표면을 노출시키는 단계와, 반도체기판의 전 표면에 제 3 절연막을 형성하는 단계와, 제 3 절연막 위에 제 2 도전형 제 2 도전층을 형성하는 단계와, 제 2 도전층과 제 3 절연막의 일부를 제거하여 제 1 게이트와 제 1 스토리지전극의 상부 표면 및 필드산화막과 반도체기판의 표면이 노출되도록 하고 동시에 제 1 스토리지전극 상부에 잔류한 제 2 절연막과 제 3 절연막 위에 제 2 스토리지전극과 소정부위의 제 3 절연막 위에 제 2 게이트를 형성하는 단계로 이루어지고, 또한 상술한 제 2 스토리지전극과 제 2 게이트 형성단계 이후에, 제 1 게이트와 제 2 게이트의 측면 하단 부근의 반도체 기판내에 제 2 도전형 불순물이온으로 엘디디영역을 형성하는 단계와, 제 1 게이트, 제 2 게이트, 제 1 스토리지전극, 제 2 스토리지전극 측면에 절연물질로 측벽을 형성하는 단계와, 반도체기판 내의 엘디디영역과 연결된 측면에 제 2 도전형 소스/드레인을 형성하는 단계와, 반도체기판의 전면에 층간절연막을 충분한 두께로 형성하는 단계를 더 포함하여 이루어지는 공정을 구비한다.

도표도

도 3a

도 3b

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 반도체장치의 소자 제조공정중 게이트절연막 형성 공정 단면도  
도 2a 내지 도 2d는 종래 기술에 따른 반도체장치의 제조공정 단면도  
도 3a 내지 도 3e는 본 발명에 따른 반도체장치의 제조공정 단면도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체장치의 제조방법에 관한 것으로서, 특히, 이중폴리실리콘층(double poly)과 듀얼 게이트 산화막을 단일공정에서 형성하도록 하고 또한 동일한 칩 내에 구동 전압이 서로 다른 소자를 단일공정으로 형성할 수 있는 반도체장치의 제조방법에 관한 것이다.

최근에 화상, 음성 및 문자 등을 동시에 표현하는 멀티미디어(multimedia) 등과 같은 시스템(system)은 다양하고 복잡하며 향상된 기능을 가지면서 소형화 및 경량화가 요구되고 있다. 이와 같이 요구를 충족시키기 위해서는 시스템을 구성하는 서로 다른 기능을 갖는 반도체회로들을 통합하여 동일한 칩에 형성하는 1칩(one chip)화 하는 기술이 개발되고 있다.

1칩화된 반도체회로는 서로 다른 기능을 가지며 서로 다른 전원에서 동작하는 다수의 회로가 동일한 반도체기판에 본래의 기능과 성능이 유지되도록 형성되어야 한다. 즉, 동일한 반도체기판 상에 서로 다른 구동 전압을 갖는 트랜지스터의 구성이 필요하며, 이를 구현하기 위해서는 소자들의 문턱전압(threshold voltage)을 서로 다르도록 조절하여야 한다.

로직(logic)제품종에서 최근 급격하게 수요가 늘어나는 미발로그 제품을 공정상에서 구현하기 위해서는 이중폴리실리콘층 형성공정이 요구되며 또한 반도체소자의 입력/출력단자 부위와 실질적으로 로직(logic)이 동작하는 코어(core) 부위의 동작전압이 각기 다르게 요구되는 경우의 제품에 대하여 듀얼 게이트산화막 형성공정으로 그 요구를 충족시키는데 본 발명에서는 상술한 두가지 공정을 단일공정으로 단순화하면서 로직에서 필요로하는 저 저항과 고속 소자를 구현하는데 그 목적이 있다.

종래의 기술에서는 이중폴리실리콘층 형성공정과 듀얼 게이트산화막 형성공정이 별개로 이루어지므로 도 1a 내지 도 1d와 도 2a 내지 도 2d에서 각각 그 제조공정을 표시한다.

도 1a 내지 도 1d는 종래 기술에 따른 반도체장치의 소자 제조공정중 게이트절연막 형성공정 단면도이다.

도 1a에 있어서, 실리콘 기판(1) 표면에 게이트 산화막(2)을 열산화시켜 성장시킨 후 두꺼운 게이트 산화막 형성을 위한 사진공정을 실시하여 두꺼운 게이트산화막 형성 부위에 포토레지스트패턴(10)을 형성한다.

도 1b에 있어서, 포토레지스트패턴(10)으로 보호되지 아니하는 부위의 게이트산화막(3)의 일부를 제거한 다음 포토레지스트패턴(도시 안됨)을 제거한다. 이때 식각되어 제거된 부분은 이후 공정에서 얇은 게이트 산화막이 형성된다.

도 1c에 있어서, 실리콘기판(1) 표면에 전세정을 실시하여 얇은 게이트산화막 형성부위의 잔류한 게이트 산화막을 완전히 제거하여 잔류한 게이트산화막(2)을 제외한 부위의 실리콘 기판(1) 표면을 완전히 노출시킨다.

도 1d에 있어서, 실리콘 기판(1)의 표면을 열산화시켜 다시 기판(1)의 전표면에 산화막을 성장시킨다. 따라서 기존에 잔류한 게이트산화막 부위는 더욱 두껍게 되어 두꺼운 게이트산화막(4)이 형성되고 나머지 부위는 얇은 게이트산화막(5)이 된다.

도 2a 내지 도 2d는 종래 기술에 따른 반도체장치의 제조공정 단면도를 나타낸다.

도 2a에 있어서, 소자간의 격리 또는 활성영역과 필드영역의 분리를 위한 필드산화막(22)이 형성된 실리콘 기판(21) 위에 제 1 게이트산화막(23)을 형성한 다음 그 위에 도핑된 제 1 폴리실리콘층(24)을 증착하여 형성하고 다시 그 위에 캡핑용 산화막(25)을 증착하여 형성한 후 다시 그 위에 도핑된 제 2 폴리실리콘층(26)을 증착하여 형성한다. 그리고 이후 형성될 캐패시터 형성을 마스크를 이용한 사진공정을 실시하여 포토레지스트패턴(270)을 형성한다.

도 2b에 있어서, 제 1 폴리실리콘층(24)의 표면이 노출될 때까지 포토레지스트패턴(270)을 식각보호막으로 이용한 식각을 실시하여 제 2 폴리실리콘층(26), 캡핑용 산화막(25)의 일부를 제거하여 제 1 캐패시터 패턴(26, 25)을 형성한다.

도 2c에 있어서, 필요한 게이트를 형성하기 위하여 사진공정으로 게이트 형성을 마스크를 이용하여 게이트 형성부위 및 캐패시터패턴(25) 주위에 제 2 포토레지스트패턴(280)을 형성한다.

도 2d에 있어서, 상기의 제 2 포토레지스트패턴(280)으로 보호되지 아니하는 부위의 제 1 폴리실리콘층(24) 및 게이트산화막(23)을 실리콘 기판(21)의 표면이 노출될 때까지 식각으로 제거한다. 그리고 형성된 소자 및 노출된 기판(21)의 전표면에 에치열디(high temperature low pressure dielectric)등으로 산화막을 증착한 다음 에치백을 실시하여 형성된 소자의 측면에 측벽(200)을 형성한다.

이후 도면에 도시되지는 않았지만 측벽을 이용한 이온주입을 실시하여 형성된 게이트의 측면 하단 부근에 엠디디(lightly doped drain) 및 소스/드레인을 형성하여 반도체 소자들을 완성한다.

상술한 바와 같이 종래의 기술에서는 듀얼 게이트산화막 형성공정과 이중폴리실리콘층 형성기술이 별개의 공정으로 이루어지기 때문에 경우에 따라 즉 듀얼 게이트산화막 형성과 이중폴리실리콘층 형성이 모두 필요되는 공정에서는 마스크링 작업의 단계수 증가에 따른 공정수의 증대때문에 공정 코스트가 높아지게 된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 이중폴리실리콘층(double poly)과 듀얼 게이트산화막을 단일공정에서 형성하도록 하고 또한 동일한 칩 내에 구동 전압이 서로 다른 소자를 단일공정으로 형성할 수 있는 반도체장치의 제조방법을 제공함에 있다.

상기 목적들을 달성하기 위한 본 발명에 따른 반도체장치의 소자형성방법은, 필드산화막이 형성된 제 1 도전형 반도체기판 위에 제 1 절연막을 형성하는 단계와, 제 1 절연막 제 2 도전형 제 1 도전층을 형성하는 단계와, 제 1 도전층 위에 제 2 절연막을 형성하는 단계와, 제 2 절연막과 제 1 도전층 그리고 제 1 절연막의 소정부위를 제거하여 잔류한 제 1 절연막과 제 2 절연막으로 보호되는 제 1 게이트와 제 1 스토리지전극을 형성하고 동시에 필드산화막과 기판의 표면을 노출시키는 단계와, 반도체기판의 전 표면에 제 3 절연막을 형성하는 단계와, 제 3 절연막 위에 제 2 도전형 제 2 도전층을 형성하는 단계와, 제 2 도전층과 제 3 절연막의 일부를 제거하여 제 1 게이트와 제 1 스토리지전극의 상부 표면 및 필드산화막과 반도체기판의 표면이 노출되도록 하고 동시에 제 1 스토리지전극 상부에 잔류한 제 2 절연막과 제 3 절연막 위에 제 2 스토리지전극과 소정부위의 제 3 절연막 위에 제 2 게이트를 형성하는 단계로 이루어지고, 또한 상술한 제 2 스토리지전극과 제 2 게이트 형성단계 이후에, 제 1 게이트와 제 2 게이트의 측면 하단 부근의 반도체 기판내에 제 2 도전형 불순물이온으로 엠디디영역을 형성하는 단계와, 제 1 게이트, 제 2 게이트, 제 1 스토리지전극, 제 2 스토리지전극 측면에 절연물질로 측벽을 형성하는 단계와, 반도체기판



내의 웰디디영역과 연결된 측면에 제 2 도전형 소스/드레인을 형성하는 단계와, 반도체기판의 전면에 층간절연막을 충분한 두께로 형성하는 단계를 더 포함하여 이루어지는 공정을 구비한다.

#### 발명의 구성 및 작용

본 발명은 이중폴리실리콘층 형성공정과 듀얼 게이트산화막 형성공정을 단일공정으로 구현한다. 즉, 입출력부위 또는 특정영역은 메인 로직(main logic) 부위와 게이트산화막을 차별화하여 두께가 서로 상이한 트랜지스터를 제조할 수 있다.

또한 제 1 폴리실리콘층과 제 2 폴리실리콘층으로 이루어진 이중폴리실리콘층 형성시 그 층사이에 캡핑용 산화막을 자동적으로 형성할 수 있다. 즉 트랜지스터의 역할 측면에서 보면 제 1 폴리실리콘층과 제 1 게이트산화막으로 이루어진 제 1 트랜지스터와 제 2 폴리실리콘층과 제 2 게이트산화막으로 이루어진 제 2 트랜지스터가 형성되고 아날로그 공정을 구현하기 위한 캐패시터를 형성하기 위한 제 1 폴리실리콘층-캡핑용 산화막-제 2 폴리실리콘으로 캐패시터를 형성하게 된다.

일반적으로 로직(logic)의 경우 입출력부위와 메인 코어(main core) 부위의 동작전압을 다르게 하여 설계되고 시스템 경우에서도 그와 같이 요구하는 경향이 커지고 있다. 이는 데이터의 입출력시 외부전압을 그대로 수용하여 로직을 동작시키고 메인 코어에서는 낮은 전압으로 동작시키려는 의도때문이다. 따라서 이에따른 게이트산화막의 항복전압(breakdown voltage)과 문턱전압(threshold voltage)의 문제가 제기되는데 이를 위하여 듀얼 게이트산화막 형성공정을 사용한다. 이와는 별도로 로직에서 아날로그신호를 구현하는 방법으로 이중폴리실리콘 형성공정이 널리 사용된다. 상술한 요구를 동시에 충족시키는 공정이 본 발명의 의의이다.

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

도 3a 내지 도 3d는 본 발명에 따른 반도체장치의 소자제조공정 단면도이다.

도 3a에 있어서, 제 1 도전형 실리콘 기판(31) 상에 소자격리를 위한 필드산화막(32)을 로코스(LOCOS) 공정으로 형성한 다음 기판(31)의 표면에 제 1 절연막(33)을 질화막으로 증착하여 형성한다. 이때 제 1 절연막은 제 1 게이트 절연막이 되어 질화막 대신 기판의 표면을 열산화시켜 실리콘산화막을 형성할 수도 있다.

그리고 제 1 절연막(33) 위에 제 1 게이트와 제 1 스토리지전극을 형성하기 위한 제 2 도전형 불순물이 도핑된 제 1 폴리실리콘층(34)을 증착하여 형성한 후 그 위에 제 2 절연막(35)으로 질화막을 증착하여 형성한다. 이러한 질화막은 전기적으로 절연체이며 식각공정에서 식각에 대항하는 역할을 한다.

그 다음 이후 형성될 게이트 및 스토리지전극 형성을 마스크와 포토레지스트를 이용한 사진공정을 실시하여 제 1 포토레지스트패턴(370)을 제 2 절연막 위에 형성한다.

도 3b에 있어서, 상기 포토레지스트패턴(370)으로 보호되지 아니하는 부위의 제 2 절연막(35), 제 1 폴리실리콘층(34) 그리고 제 1 절연막(33)을 습식식각으로 제거하여 상부면과 하부면이 각각 잔류한 제 1 절연막(33)과 제 2 절연막(35)으로 보호되는 제 1 게이트(344)와 제 1 스토리지전극(34)을 형성하고 또한 필드산화막(32)과 기판(31)의 표면을 노출시킨다. 이때 도면상 좌측에 위치한 제 1 게이트는 이후 제 1 트랜지스터가 되며 이러한 제 1 트랜지스터의 제 1 게이트의 게이트절연막의 두께는 제 1 절연막의 두께를 갖게 된다.

도 3c에 있어서, 노출된 기판(31)의 표면과 노출된 제 1 게이트(344) 및 제 1 스토리지전극(34)의 측면을 보호하기 위하여 다시 기판(31)의 전 표면에 열산화를 실시하여 제 3 절연막(36)을 형성한다. 이때 성장시킨 제 3 절연막인 열산화막(36)의 성장 두께는 제 1 게이트(34) 하부에 잔류하고 있는 제 1 절연막(33)의 두께와 상이하게 형성하는데 이는 요구되는 트랜지스터의 요구전압에 부응하기 위해서이고, 또한 제 1 게이트(344) 및 제 1 스토리지전극(34) 상부에 잔류하고 있는 제 2 절연막(35)인 질화막 하부에서도 산화반응이 진행되어 제 2 절연막(35)과 제 1 게이트(344) 및 제 1 스토리지전극(34) 사이에도 제 3 절연막(36)이 형성되고 이때의 산화막은 층간버퍼층으로도 작용한다.

그리고 다시 제 3 절연막(36)인 산화막 위에 제 2 도전형 불순물이 도핑된 제 2 폴리실리콘층(37)을 증착하여 형성하고 다시 그 위에 포토레지스트를 도포하고 제 2 게이트 및 제 2 스토리지전극 형성을 마스크를 이용한 사진공정을 실시하여 제 2 포토레지스트패턴(380)을 형성한다. 이때 캐패시터 형성부위의 제 1 스토리지전극(34) 상부에는 이중폴리실리콘층 형성으로 만들어질 제 2 스토리지전극을 형성하기 위한 포토레지스트패턴(380)이 형성되고, 도면상 제 1 게이트(344) 좌측에는 제 2 게이트 형성을 위한 포토레지스트패턴(380)이 위치한다.

도 3d에 있어서, 상기한 제 2 포토레지스트패턴(380)으로 보호되지 아니하는 부위의 제 2 폴리실리콘층(37)과 제 3 절연막(36)을 식각으로 제거하여 제 1 게이트(344)와 제 1 스토리지전극(34)의 상부 표면 및 필드산화막(32)과 기판(31)의 표면이 노출되도록 한다. 그 결과 제 1 스토리지전극(34) 상부에 잔류한 제 2 절연막(35)과 제 3 절연막(36) 위에 제 2 스토리지전극(37)이 형성되고 도면상 제 1 게이트(344) 좌측에 제 3 절연막(36) 위에 제 2 게이트(377)가 형성되며, 이때 제 2 게이트의 게이트 절연막은 잔류한 제 3 절연막(36)으로서 상술한 바와 같이 요구되는 트랜지스터의 문턱전압 차이로 인해 그 두께는 제 1 게이트(34)의 두께와 상이하다.

도 3e에 있어서, 제 2 도전형 불순물 이온주입을 제 1 게이트(344)와 제 2 게이트(377)를 마스크로 이용하여 저농도로 실시하여 게이트의 측면 하단 부근의 기판(31)내에 웰디디영역을 형성한 다음, 기판(31)의 전표면에 산화막을 두껍게 증착한 후 에치백을 실시하여 형성된 각각의 소자의 측면에 측벽(300)을 형성한다. 이때 형성된 측벽(300)은 제 2 게이트 및 제 2 스토리지전극 형성을 위한 식각에서 노출된 각각의 소자의 측면부위를 주위로 부터 절연시키면서 또한 트랜지스터 형성시 고농도 불순물주입영역 형성을 위한 마스크로 이용된다.

그리고 제 1 게이트와 제 2 게이트의 측벽(300)을 마스크로 이용한 제 2 도전형 불순물 이온주입을 고농

도로 실시하여 소스/드레인 영역을 위한 불순물 주입부를 형성한 뒤 열처리공정을 통해 불순물이온들을 충분히 기판(31)내로 확산시켜 소스/드레인 영역을 형성한 다음 기판(31)의 전면에 중간절연막(도시 안됨)을 충분한 두께로 증착하여 형성하므로써 트랜지스터 및 캐패시터를 완성한다.

#### 발명의 효과

따라서, 본 발명은 시스템 설계시 이중폴리실리콘 형성공정을 위한 아날로그 반도체칩의 구현과 입출력 부와 코아부의 동작전압이 다른 소자 설계시 종래의 기술과 비교하여 단순한공정을 제공하는 장점을 제공한다.

#### (5) 청구의 범위

##### 청구항 1.

필드산화막이 형성된 제 1 도전형 반도체기판 위에 제 1 절연막을 형성하는 단계와,

상기 제 1 절연막 위에 제 2 도전형 제 1 도전층을 형성하는 단계와,

상기 제 1 도전층 위에 제 2 절연막 형성하는 단계와,

상기 제 2 절연막, 상기 제 1 도전층 그리고 상기 제 1 절연막의 소정부위를 제거하여 잔류한 상기 제 1 절연막과 상기 제 2 절연막으로 보호되는 제 1 게이트와 제 1 스토리지전극을 형성하고 동시에 상기 필드 산화막과 상기 기판의 표면을 노출시키는 단계와,

상기 반도체기판의 전 표면에 제 3 절연막을 형성하는 단계와,

상기 제 3 절연막 위에 제 2 도전형 제 2 도전층을 형성하는 단계와,

상기 제 2 도전층과 상기 제 3 절연막의 일부를 제거하여 상기 제 1 게이트와 상기 제 1 스토리지전극의 상부 표면 및 상기 필드산화막과 상기 반도체기판의 표면이 노출되도록 하고 동시에 상기 제 1 스토리지전극 상부에 잔류한 상기 제 2 절연막과 상기 제 3 절연막 위에 제 2 스토리지전극과 소정부위의 상기 제 3 절연막 위에 제 2 게이트를 형성하는 단계로 이루어진 반도체장치의 소자제조방법.

##### 청구항 2.

청구항 1에 있어서, 상기 제 2 스토리지전극과 상기 제 2 게이트 형성단계 이후에,

상기 제 1 게이트와 상기 제 2 게이트의 측면 하단 부근의 상기 반도체 기판내에 제 2 도전형 불순물이온으로 엘디디영역을 형성하는 단계와,

상기 제 1 게이트, 제 2 게이트, 제 1 스토리지전극, 제 2 스토리지전극 측면에 절연물질로 측벽을 형성하는 단계와,

상기 반도체기판 내의 상기 엘디디영역과 연결된 측면에 제 2 도전형 소스/드레인을 형성하는 단계와,

상기 반도체기판의 전면에 중간절연막을 충분한 두께로 형성하는 단계를 더 포함하여 이루어지는 것이 특징인 반도체장치의 소자제조방법.

##### 청구항 3.

청구항 1에 있어서, 상기 제 1 절연막과 상기 제 2 절연막은 질화막으로 형성하는 것이 특징인 반도체장치의 소자제조방법.

##### 청구항 4.

청구항 3에 있어서, 상기 제 1 절연막은 실리콘산화막으로 형성하는 것이 특징인 반도체장치의 소자제조방법.

##### 청구항 5.

청구항 1에 있어서, 상기 제 3 절연막은 산화막으로 형성하는 것이 특징인 반도체장치의 소자제조방법.

##### 청구항 6.

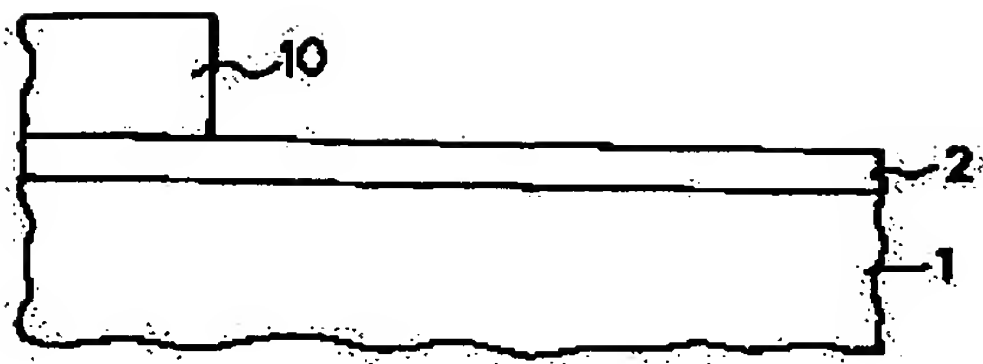
청구항 1에 있어서, 상기 제 3 절연막의 두께와 상기 제 1 절연막의 두께를 상이하게 형성하는 것이 특징인 반도체장치의 소자제조방법.

##### 청구항 7.

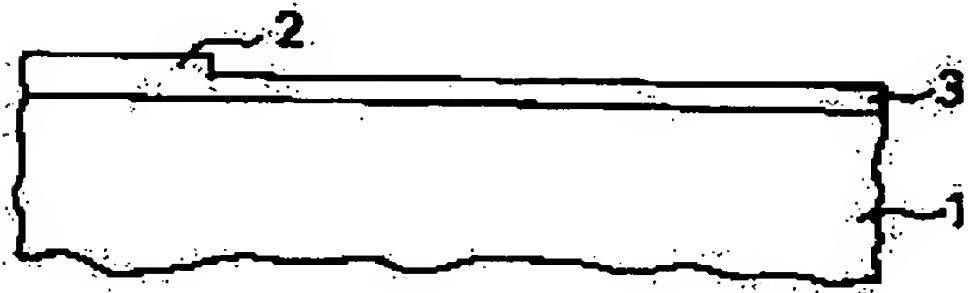
청구항 1에 있어서, 상기 제 1 게이트와 제 1 스토리지전극 및 상기 제 2 게이트와 제 2 스토리지전극은 각각 사진식각공정으로 형성하는 것이 특징인 반도체장치의 소자제조방법.

#### 도면

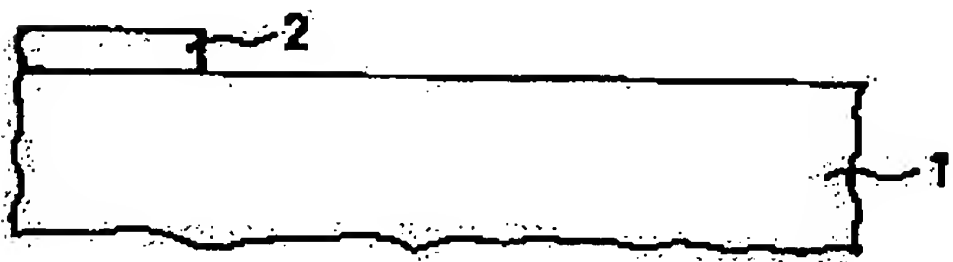
도면 1a



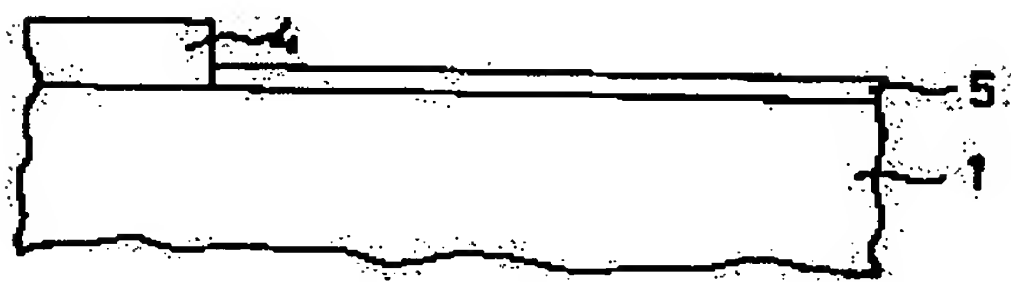
도면 1b



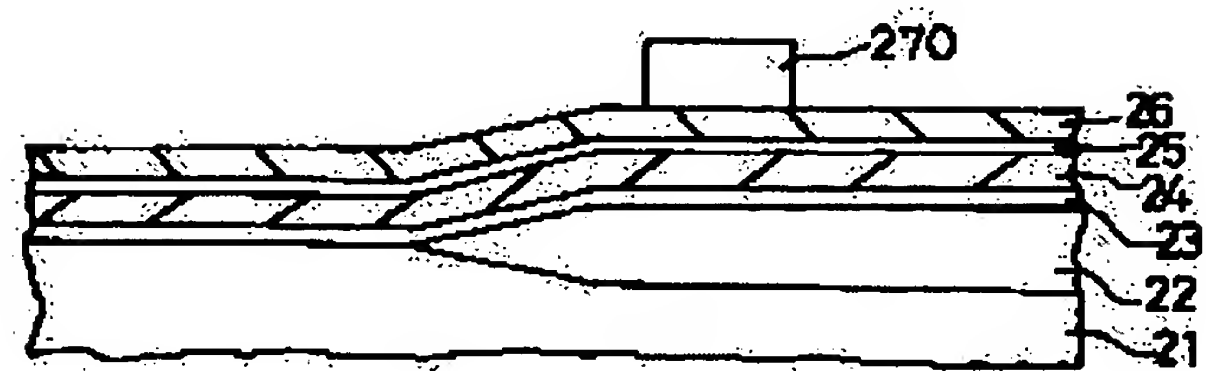
도면 1c



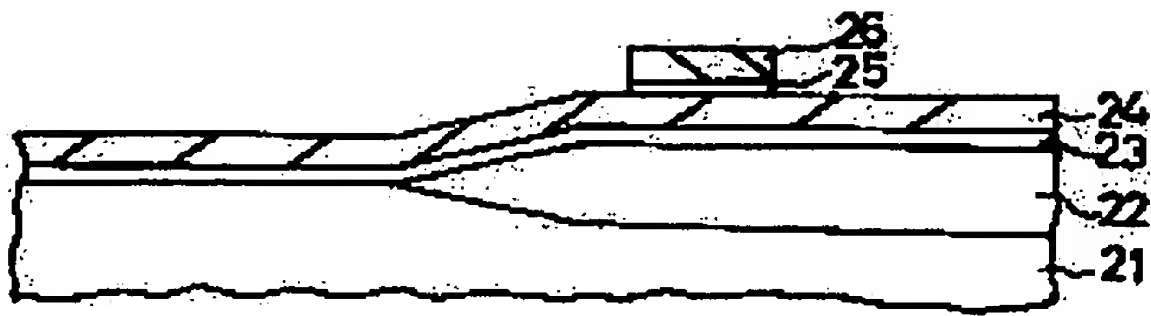
도면 1d



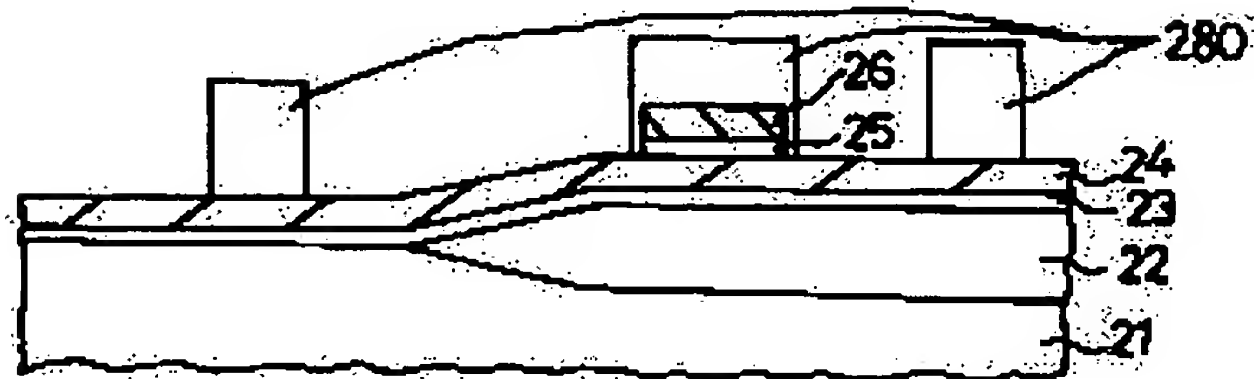
도면 2a



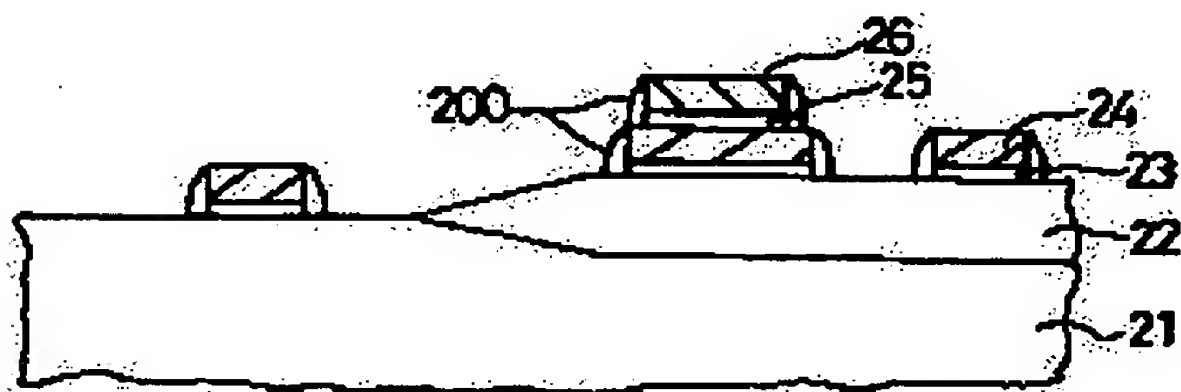
도 26



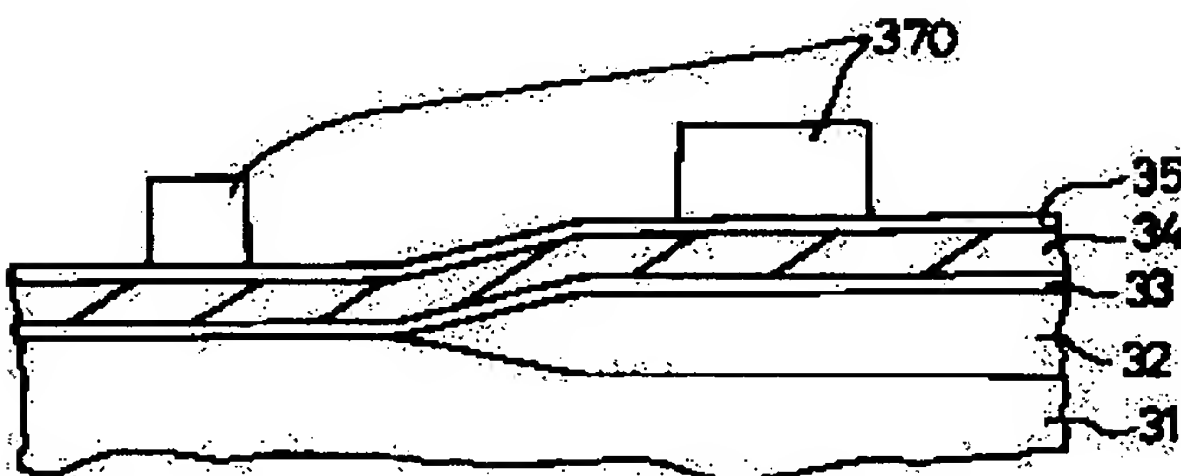
도 26a



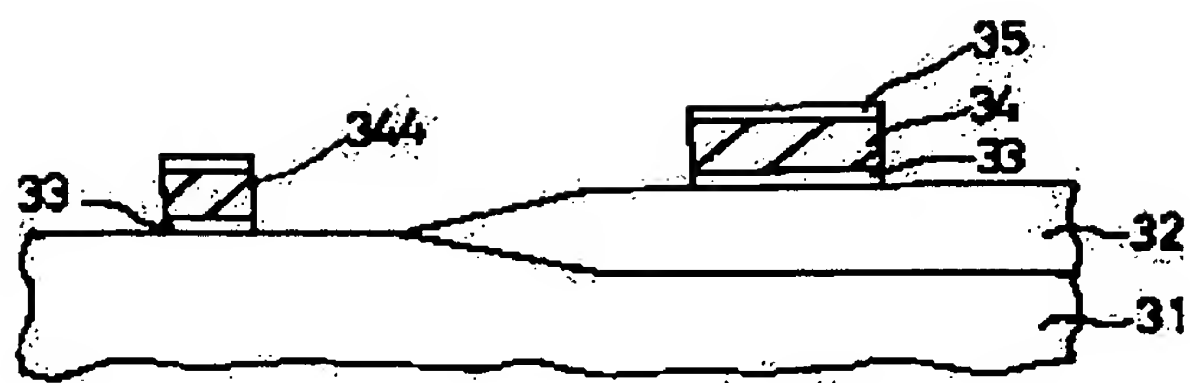
도 27



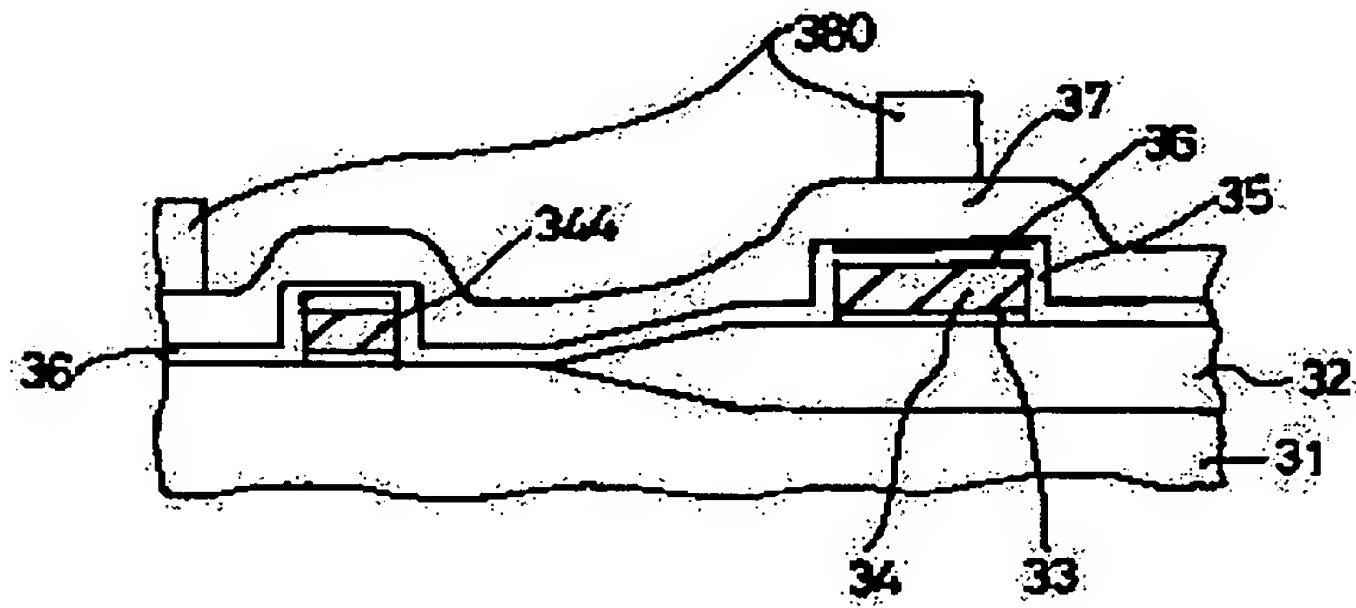
도 28a



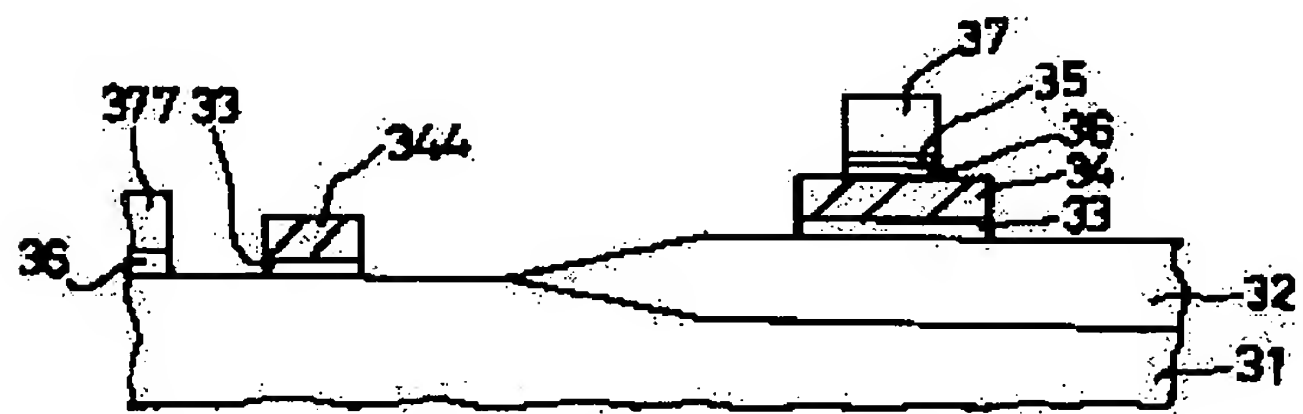
도 3b



도 3c



도 3d



도 3e

